

## 单光子雪崩二极管阵列与硅光芯片的混合集成(特邀)

任晓松<sup>1</sup>, 范元滨<sup>2</sup>, 史衍丽<sup>3</sup>, 袁之良<sup>2</sup>, 黄翊东<sup>1,2\*</sup>, 张巍<sup>1,2\*\*</sup><sup>1</sup>清华大学电子工程系, 北京信息科学与技术国家研究中心, 量子信息前沿科学中心, 北京 100084;<sup>2</sup>北京量子信息科学研究院, 北京 100193;<sup>3</sup>云南大学物理与天文学院, 云南 昆明 650091

**摘要** 基于倒装焊技术, 实现了 $4\times 1$  镓砷/镓磷(InGaAs/InP)单光子雪崩二极管(SPAD)阵列和硅光芯片的混合集成。对 $4\times 1$  SPAD阵列中两个SPAD在 $10\text{ }^\circ\text{C}$ 温度下同时进行测试, 当偏置电压较低时, 片上光子探测效率为 $5\%\sim 6\%$ , 对应的暗计数率分别为 $1.6\times 10^{-5}$  counts/gate和 $4.5\times 10^{-5}$  counts/gate。提高偏置电压后, 片上光子探测效率可提升至 $10\%$ 以上。进一步地, 利用集成的SPAD阵列和硅光片上分束器实现了弱相干态Hong-Ou-Mandel (HOM)干涉的测量, 得到的HOM干涉条纹可视度为 $45.0\%\pm 1.2\%$ , 证明了硅光芯片光子操控功能和SPAD阵列多路单光子探测功能综合集成的有效性。这种混合集成为实现规模化的光子量子信息系统提供了一种可能的解决方案。

**关键词** InGaAs/InP SPAD阵列; 硅光芯片; 混合集成; 单光子探测器; HOM干涉

中图分类号 TN256

文献标志码 A

DOI: 10.3788/AOS\_OL240436

## Hybrid Integration of Single-Photon Avalanche Diode Array and Silicon Photonic Chip (Invited)

Ren Xiaosong<sup>1</sup>, Fan Yuanbin<sup>2</sup>, Shi Yanli<sup>3</sup>, Yuan Zhiliang<sup>2</sup>, Huang Yidong<sup>1,2\*</sup>, Zhang Wei<sup>1,2\*\*</sup><sup>1</sup>Department of Electronic Engineering, Beijing National Research Center for Information Science and Technology, Frontier Science Center for Quantum Information, Tsinghua University, Beijing 100084, China;<sup>2</sup>Beijing Academy of Quantum Information Sciences, Beijing 100193, China;<sup>3</sup>School of Physics and Astronomy, Yunnan University, Kunming 650091, Yunnan, China

**Abstract** Based on flip-chip technology, we demonstrate hybrid integration of a  $4\times 1$  indium gallium arsenide/indium phosphide (InGaAs/InP) single-photon avalanche diode (SPAD) array and a silicon photonic chip. When testing two SPADs in the  $4\times 1$  SPADs array simultaneously at  $10\text{ }^\circ\text{C}$ , we achieve on-chip photon detection efficiency of  $5\%\sim 6\%$  under a low bias voltage, with dark count rates of  $1.6\times 10^{-5}$  counts/gate and  $4.5\times 10^{-5}$  counts/gate, respectively. Increasing the bias voltage, the on-chip photon detection efficiency can be further increased to more than  $10\%$ . Furthermore, using the integrated SPAD array and silicon photonic beam splitter, we realize the measurement of Hong-Ou-Mandel (HOM) interference for weak coherent states, achieving a HOM interference fringe visibility of  $45.0\%\pm 1.2\%$ . This demonstrates the effectiveness of hybrid integration of the photon manipulation on the silicon photonic chip and the multi-channel single-photon detection of the integrated SPADs array. The hybrid integration provides a potential solution for achieving scalable photonic quantum information systems.

**Key words** InGaAs/InP SPAD array; silicon photonic chip; hybrid integration; single-photon detector; HOM interference

## 1 引言

光子量子芯片是实现规模化复杂光子量子信息系统的重要途径<sup>[1]</sup>。由于硅光芯片的制备工艺与微电子的互

补金属氧化物半导体(CMOS)工艺兼容, 可以大规模生产, 因此其被广泛应用于鲁棒性强、集成度高的光子量子信息系统的构建<sup>[2-3]</sup>。在硅光芯片上, 人们已经实现了量子光源<sup>[4-5]</sup>、量子态操控<sup>[6-7]</sup>、量子态探测<sup>[8-9]</sup>等功能

收稿日期: 2024-07-01; 修回日期: 2024-07-17; 录用日期: 2024-07-23; 网络首发日期: 2024-08-01

基金项目: 国家重点研发计划(2023YFB2805400)、国家自然科学基金(92365210)、清华大学自主科研项目和清华-珠海华发建筑光电子联合研究院项目、云南省重大科技专项(202402AC080001)、云南贵金属实验室科技计划项目(YPML-2022050220)

通信作者: \*yidonghuang@tsinghua.edu.cn; \*\*zwei@tsinghua.edu.cn

单元的集成,并实现了量子通信<sup>[10]</sup>、量子模拟<sup>[11]</sup>等应用。进一步地,在硅光芯片上实现光量子态的操控和探测的综合集成对于构建稳定可扩展的光量子信息系统十分重要。

目前,常用的单光子探测器有超导纳米线单光子探测器(SNSPD)和单光子雪崩二极管(SPAD)。SNSPD是一种高性能的单光子探测器,具有宽波段、高效率、低暗计数和低时间抖动的性能,已在光量子信息系统中广泛使用,并且在硅光芯片上实现了综合集成<sup>[8,12]</sup>。但是SNSPD通常工作在超低温环境,因此SNSPD系统中需要复杂的制冷系统,这极大地限制了SNSPD的应用场景。常见半导体SPAD包括硅SPAD和Ⅲ-V族材料SPAD,其中硅SPAD常用于1100 nm以下的近红外和可见光波段,目前已经与相应波段的光子芯片实现混合集成<sup>[13]</sup>。构建与光纤通信系统兼容的光量子信息系统的常用波段为1550 nm附近的光通信波段,在这个波段中常用的SPAD为铟镓砷/铟磷(InGaAs/InP) SPAD,它们已被广泛应用于单光子探测应用中,如单光子探测光时域反射仪(OTDR)<sup>[14-15]</sup>、激光雷达<sup>[16]</sup>、生物成像<sup>[17]</sup>、激光通信<sup>[18]</sup>和量子密钥分发(QKD)接收端<sup>[19-21]</sup>等量子信息应用。近年来,随着SPAD技术的发展,这类器件可以在室温工作环境下实现较高的探测效率,同时具有较低的暗计数<sup>[22]</sup>。因此,InGaAs/InP SPAD无需复杂的制冷设备,利用简单的半导体温控系统便可达到SPAD的工作条件,适用于对低成本和小型化要求高的单光子探测应用场景。

由于InGaAs/InP半导体材料与硅的晶格失配严重,很难通过材料异质生长来实现硅光芯片和SPAD的集成。有研究者利用缓冲层初步实现InGaAs/InAlAs SPAD与硅光芯片的混合集成和异质集成<sup>[23]</sup>,但是集成SPAD的暗计数等性能有待提升,且仅实现了单个探测器集成。很多光量子信息系统中都需要使用多个单光子探测器进行联合测量,比如贝尔态测量(BSM)一般需要使用4个探测器进行特定的联合测量<sup>[24]</sup>,QKD接收端一般需要2个或者4个探测器等<sup>[25-26]</sup>。将SPAD阵列与硅光芯片综合集成,利用硅光芯片提供光子操控功能,利用SPAD阵列实现多路单光子探测功能,对于推动芯片集成的光量子信息系统发展意义重大。

本文基于倒装焊技术,实现了4×1 InGaAs/InP SPAD阵列芯片与硅光芯片的混合集成。硅光芯片是在顶硅厚度为220 nm的绝缘体上硅(SOI)衬底制成的,利用硅光芯片上的光栅耦合器与SPAD阵列光敏面的微米级对准,实现SPAD阵列与硅光芯片之间的光耦合。实验中对4×1 SPAD阵列中两个SPAD在10℃温度下同时进行测试,在较低偏置电压下得到的片上探测效率为5%~6%,暗计数率(DCR)分别为 $1.6 \times 10^{-5}$  counts/gate和 $4.5 \times 10^{-5}$  counts/gate。通过提高

偏置电压,片上探测效率可提升至10%以上。进一步地,利用集成的SPAD阵列和集成的硅光片上分束器实现了弱相干态Hong-Ou-Mandel(HOM)干涉的测量,得到的HOM干涉条纹可视度为 $45.0\% \pm 1.2\%$ 。此外,演示了硅光芯片光子操控功能和集成的SPAD阵列多路单光子探测功能的综合集成,这种综合集成SPAD阵列的硅光芯片为发展稳定、小型化和大规模的光量子信息系统提供了可能的途径。

## 2 实验与结果

### 2.1 InGaAs/InP SPAD阵列与硅光芯片的混合集成技术

由于InGaAs/InP材料与硅材料之间的晶格失配严重,通过异质生长的方式在硅光芯片上集成InGaAs/InP SPAD容易造成材料缺陷,从而影响SPAD的性能<sup>[23]</sup>,因此提出通过倒装焊混合集成的方法实现二者的集成。倒装焊是一种集成微电子芯片封装方法,在传统集成电路中用于增加输入/输出(I/O)数量,增大封装带宽等<sup>[27]</sup>。

本实验利用微米级精度的倒装焊技术来实现SPAD阵列与硅光芯片输出结构的耦合对准,方案示意图见图1(a)。硅光芯片上光的输入利用垂直耦合光栅实现,经过片上光路传输后,在输出端被光栅耦合器从波导平面耦合至自由空间中传播,照亮倒装焊SPAD阵列的光敏面,最后被SPAD探测。所设计的集成4×1 SPAD阵列的硅光芯片的具体结构如图1(b)所示,包括用于输入/输出耦合的光栅耦合器、两级级联的2×2分束器、用于监测的90:10定向耦合器等。利用硅光芯片上集成的级联分束器和配合的阵列SPAD探测器,可以实现特定的量子功能,比如本实验实现了对量子干涉现象的观测。

硅光芯片的具体制备流程如下:首先,利用电子束光刻(EBL)和感应耦合等离子体(ICP)刻蚀在顶硅厚度为220 nm的SOI上制备波导、分束器、耦合器等器件;然后,利用等离子体增强化学气相沉积(PECVD)在顶硅上生长一层1 μm厚的氧化硅用于器件结构保护;最后,在氧化硅层上通过电子束蒸镀(EBE)制备金电极,用于电学输入/输出。所制备的硅光芯片的光学显微图像如图1(c)所示。

SPAD阵列芯片由云南大学物理与天文学院提供,为4×1 InGaAs/InP SPAD芯片。SPAD阵列芯片的光学显微图像如图1(d)所示,该芯片中,相邻探测器的间隔为50 μm,4个SPAD探测器共负极,分别拥有一个正极,芯片上的负极和正极如图1(d)所示。在硅光芯片和SPAD阵列芯片上制备有配合倒装对准的标记。倒装焊集成的工艺流程如图1(e)所示:首先,在制备好的硅光芯片电极上植金凸点;然后,将SPAD阵列芯片与硅光芯片的对准标记进行倒装对准;最后,通过热超声焊接,将SPAD阵列芯片电极与硅光芯片

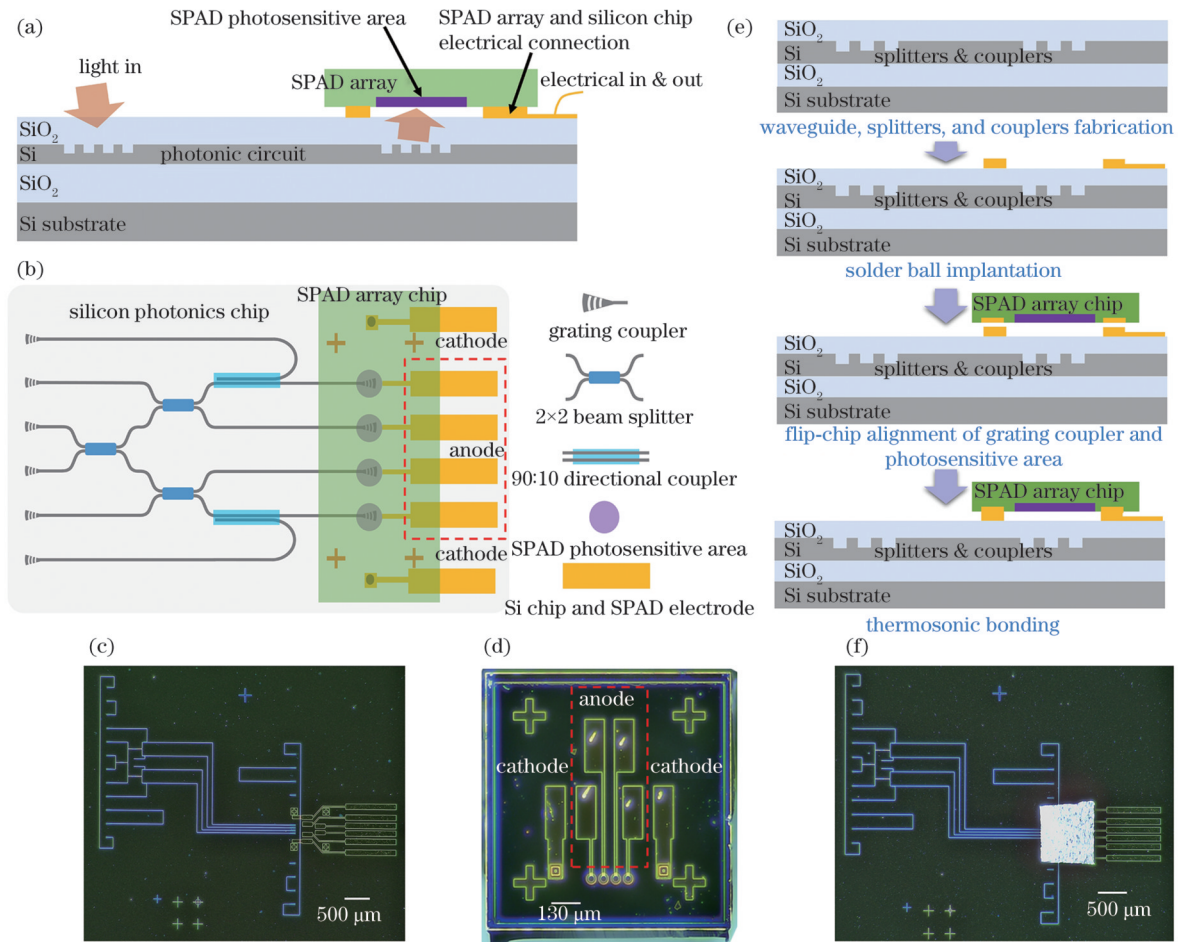


图1 硅光芯片与InGaAs/InP SPAD阵列芯片混合集成的示意图及实现流程。(a)混合集成的截面图;(b)混合集成的俯视图;(c)硅光芯片的光学显微图像;(d)SPAD阵列芯片的光学显微图像;(e)倒装焊集成SPAD的简要工艺流程;(f)硅光芯片与SPAD阵列芯片混合集成的光学显微图像

Fig. 1 Schematic and implementation of hybrid integration of silicon photonic chip with InGaAs/InP SPAD array chip. (a) Cross-section view of the hybrid integration; (b) top view of the hybrid integration; (c) optical microscopic image of silicon photonic chip; (d) optical microscopic image of SPAD array chip; (e) process of flip-chip integration; (f) optical microscopic image of hybrid integration of silicon photonic chip with SPAD array chip

上已经植好的凸点焊接,完成混合集成。混合集成后,SPAD阵列芯片的电输入/输出均通过硅光芯片的电极实现。SPAD阵列与硅光芯片的倒装焊混合集成的光学显微图像如图1(f)所示。

## 2.2 混合集成SPAD阵列的性能测试

测试混合集成SPAD阵列性能的实验系统如图2(a)所示。光源为1550 nm的被动锁模激光器,其脉冲宽度为5~10 ps,重复频率为10 MHz。激光器输出光经过一个50:50的光纤分束器,其中一路接入光功率计(EXFO FTB-1750,不确定度为 $\pm 5\%$ )用于功率监测,另一路接入可变光衰减器(VOA; EXFO FTB-3500),将光功率衰减至单光子水平。之后,经过光纤偏振控制器(FPC)的输出光输入硅光芯片,经过硅光芯片级联分束器等器件后被SPAD探测。同时,光源输出一路10 MHz的参考信号[图2(a)中未给出]到信号发生器,以同步500 MHz的正弦门控信号。将正弦门控信号和直流电压源提供的偏置电压共同加载

到 $4 \times 1$  SPAD阵列的共负极上,实现SPAD阵列的门控驱动和淬灭。将SPAD的输出信号输入读出电路,实现从正弦电容响应中提取雪崩信号。读出电路的结构如图2(b)所示,带有雪崩信号的正弦电容响应首先经过一个270 MHz低通滤波器,然后经过6 GHz带宽的射频放大器放大雪崩信号,再经过一个350 MHz低通滤波器进一步滤除正弦响应,最后经过一个电压鉴别器鉴别雪崩信号,同时引入约90 ns的死时间,输出用于计数的方波脉冲。将读出电路输出的信号接入时间数字转换器(TDC)进行时间分辨的单光子计数。实验中,对4个SPAD进行编号,分别为 $\text{SPAD}_1 \sim \text{SPAD}_4$ ,如图2(a)所示。4个SPAD共负极,因此实验中4个探测器加载的偏置电压相同。实验中发现 $\text{SPAD}_1$ 和 $\text{SPAD}_4$ 的雪崩电压略低于 $\text{SPAD}_2$ 和 $\text{SPAD}_3$ ,当偏置电压加到 $\text{SPAD}_2$ 和 $\text{SPAD}_3$ 发生雪崩时, $\text{SPAD}_1$ 和 $\text{SPAD}_4$ 的工作电压过高,器件性能恶化。因此,实验中仅使 $\text{SPAD}_1$ 和 $\text{SPAD}_4$ 工作。

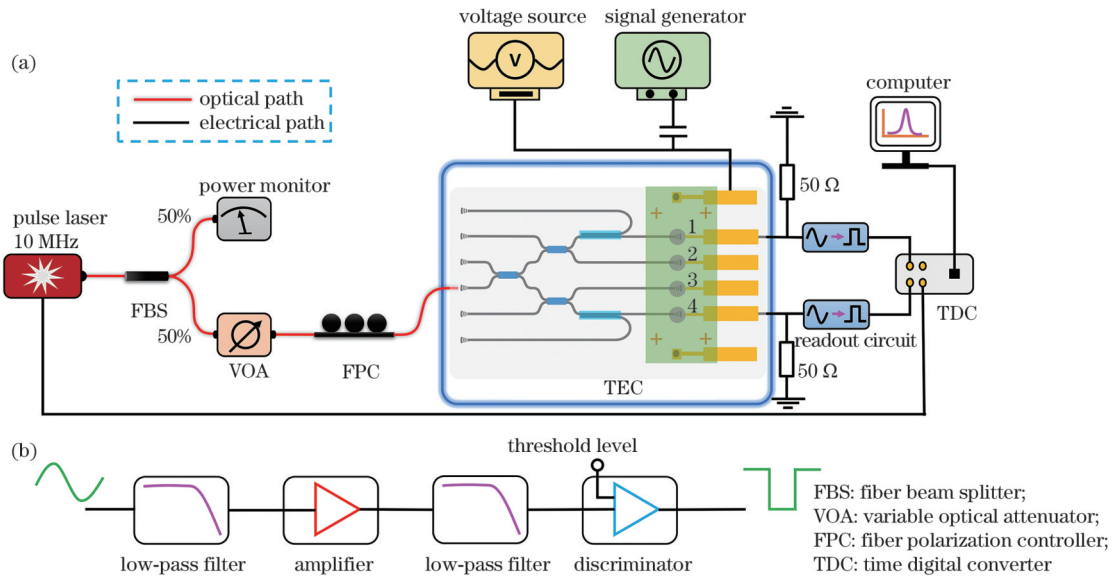


图2 混合集成 SPAD 阵列的性能测试实验系统。(a)500 MHz 正弦门控淬灭电路下 SPAD 性能测试的实验系统;(b)SPAD 雪崩读出电路  
Fig. 2 Experimental setup for the hybrid integrated SPAD array's performance testing. (a) Setup for SPAD performance testing under 500 MHz sinusoidal gated quench circuit; (b) SPAD avalanche readout circuit

利用时间分辨单光子计数可以准确得到探测器的光子探测效率(PDE)、后脉冲概率(APP)和暗计数率等探测器的性能指标。这里定义片上光子探测效率( $\eta_{\text{on-chip}}$ )为输出光栅前的光子最终被对应 SPAD 探测到的效率,它包含两部分贡献:1)光经过光栅耦合器到达探测器光敏面的效率,即光子收集效率  $\eta_{\text{collection}}$ ; 2)SPAD 自身的探测效率  $\eta_{\text{SPAD}}$ 。

$$\eta_{\text{on-chip}} = \eta_{\text{collection}} \cdot \eta_{\text{SPAD}} \quad (1)$$

当输出光栅前脉冲光中每个脉冲的平均光子数为  $\mu$  时,可以计算得到片上光子探测效率<sup>[28]</sup>为

$$\eta_{\text{on-chip}} = \frac{1}{\mu} \ln \left( \frac{1 - P_{\text{NI}}}{1 - P_1} \right) \quad (2)$$

式中: $P_{\text{NI}} \approx C_{\text{NI}}/f$ 为没有光子到达的探测门中的计数概率; $P_1 \approx C_1/f$ 为对应光子到达时间的探测门中的计数概率; $C_{\text{NI}}$ 和  $C_1$ 分别为没有光子到达的探测门的计数和对应光子到达时间的探测门的计数; $f$ 为门控信号的频率,在本次实验中  $f$  取 500 MHz。

片上后脉冲概率也可通过以下公式<sup>[29]</sup>计算得到:

$$P_{\text{AP}} = \frac{(P_{\text{NI}} - P_{\text{D}}) \cdot R}{P_1 - P_{\text{NI}}} \quad (3)$$

式中: $P_{\text{D}} \approx C_{\text{D}}/f$ 为暗计数率; $C_{\text{D}}$ 为暗计数; $R = 50$ ,表示门控频率(500 MHz)与脉冲激光重复频率(10 MHz)的比值。这里的  $C_{\text{D}}$  与前文中的  $C_{\text{NI}}$  不同, $C_{\text{D}}$  表示探测器不被光照亮时的计数,而  $C_{\text{NI}}$  表示探测器被光照亮,但对应的门时间里无光子到达的计数。

图 3 所示为 SPAD<sub>1</sub> 和 SPAD<sub>4</sub> 同时工作时的性能测试结果。实验中,500 MHz 正弦门控信号的峰峰

值固定为 20 V,通过改变加载在 SPAD 阵列共负极上的直流偏置电压来测试探测效率、暗计数率和后脉冲概率等性能参数。实验中,通过半导体制冷器(TEC),将集成 SPAD 阵列的硅光芯片整体温度控制在 10 °C。当偏置电压为 77.6 V 时,SPAD<sub>1</sub> 和 SPAD<sub>4</sub> 的片上光子探测效率为 5%~6%,其对应的暗计数率分别为  $1.6 \times 10^{-5}$  counts/gate 和  $4.5 \times 10^{-5}$  counts/gate,后脉冲概率分别为 8.4% 和 15%。当偏置电压进一步升高时,两个 SPAD 的片上效率也进一步增大。当偏置电压增加到 78 V 时,SPAD<sub>1</sub> 和 SPAD<sub>4</sub> 的片上光子探测效率分别增加到 8.5% 和 10.9%,而此时的暗计数率分别为  $2.8 \times 10^{-5}$  counts/gate 和  $1.4 \times 10^{-4}$  counts/gate,后脉冲概率分别为 15% 和 78%。当偏置电压再增加时,暗计数率会迅速增大,后脉冲概率也会迅速增大,而片上光子探测效率则缓慢增大,说明此时 SPAD 的探测效率已经趋于饱和。这里的后脉冲概率有大于 100% 的部分,其主要原因是在式(3)的计算中引入了  $R = 50$  这个因子,若偏置电压过大,在某个光子到达的门后面紧跟的好几个无光子到达的门内都出现后脉冲时,后脉冲概率就会大于 100%。偏置电压为 77.2 V 时,SPAD<sub>1</sub> 和 SPAD<sub>4</sub> 的时间抖动如图 3(c)、(d) 所示,分别约为 606 ps 和 528 ps。

### 2.3 利用混合集成 SPAD 和硅光芯片进行量子干涉测试

HOM 干涉是一种基础而重要的量子干涉,可表征双光子之间的不可区分性,是多种量子信息应用的基础<sup>[30]</sup>。尤其在测量设备无关 QKD(MDI-QKD)中,高质量的弱相干态 HOM 干涉非常重要<sup>[31]</sup>。

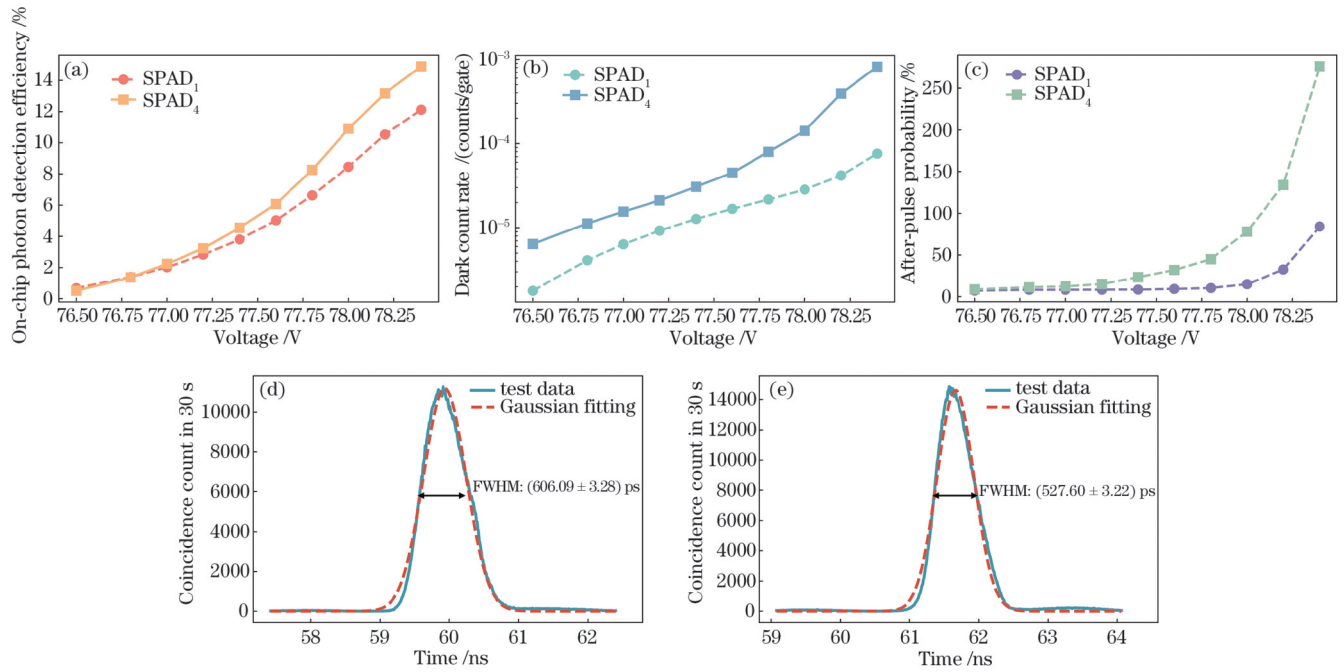


图3 混合集成SPAD阵列中SPAD<sub>1</sub>和SPAD<sub>4</sub>的性能测试结果。(a)SPAD<sub>1</sub>和SPAD<sub>4</sub>的片上光子探测效率;(b)SPAD<sub>1</sub>和SPAD<sub>4</sub>的暗计数率;(c)SPAD<sub>1</sub>和SPAD<sub>4</sub>的后脉冲概率;(d)偏置电压为77.2 V时,SPAD<sub>1</sub>的时间抖动;(e)偏置电压为77.2 V时,SPAD<sub>4</sub>的时间抖动

Fig. 3 Performance test results of SPAD<sub>1</sub> and SPAD<sub>4</sub> of the hybrid integrated SPAD array. (a) On-chip photon detection efficiency of SPAD<sub>1</sub> and SPAD<sub>4</sub>; (b) dark count rate of SPAD<sub>1</sub> and SPAD<sub>4</sub>; (c) after-pulse probability of SPAD<sub>1</sub> and SPAD<sub>4</sub>; time jitter of (d) SPAD<sub>1</sub> and (e) SPAD<sub>4</sub> when bias voltage is 77.2 V

本实验利用集成的SPAD阵列和硅光芯片上集成的分束器进行弱相干态的HOM干涉测量,实验系统如图4(a)所示,图中仅给出了参与HOM干涉测试的

硅光芯片上的器件和两个SPAD。脉冲激光器为前文所述激光器,输出激光经50:50 FBS分为两束,分别进入VOA进行衰减,之后一路光接可变光延时线

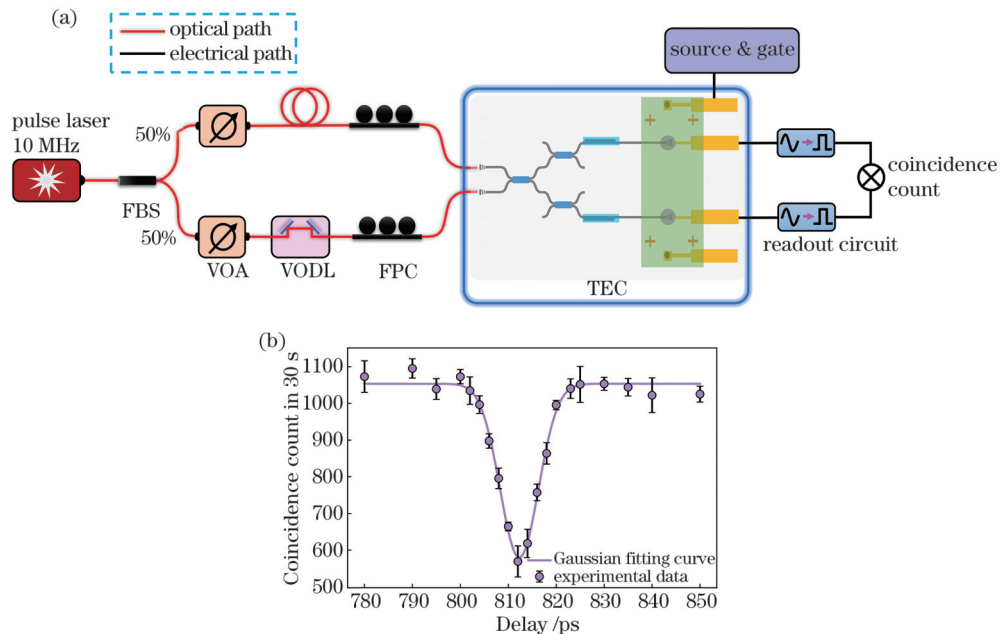


图4 弱相干态HOM干涉测试系统及实验结果。(a)弱相干HOM干涉测试实验系统(图中仅给出参与HOM干涉测试的片上器件,省略了其他单元器件);(b)两路SPAD符合计数随延时的变化

Fig. 4 HOM interference test setup of weak coherent states and experiment results. (a) Experimental setup for weak coherent HOM interference (only the on-chip components involved in the HOM interference are shown in the figure, while other unit components are omitted); (b) relationship between the coincidence count of two SPADs and delay

(VODL),另一路光进入延时匹配光纤,最后分别经过FPC调整偏振后输入硅光芯片。在硅光芯片上,当两路光子同时到达第一级片上分束器时,发生HOM干涉,之后通过分束器输出到对应的SPAD。根据两路SPAD之间的符合计数,可以得到分束器两个输出端口对应的光子情况。通过改变VODL的延时量,可以改变两路光子到达分束器输入端口的时间,即改变光子时域上的不可区分性。光谱不可区分性由单激光器输出保证,偏振不可区分性由偏振敏感光栅耦合器和FPC保证。

实验中选择SPAD的偏置电压为77.2 V,SPAD<sub>1</sub>和SPAD<sub>4</sub>的片上光子探测效率分别为2.8%和3.2%,暗计数率分别为 $9.3 \times 10^{-6}$  counts/gate和 $2.1 \times 10^{-5}$  counts/gate,后脉冲概率分别为8.4%和15%。实验中,通过调整两路VOA的衰减量,保证分束器两个输入端口光子数平衡以及功率为单光子水平。当VODL的绝对延时量为812 ps时,两路光子延时基本匹配。

在812 ps附近扫描VODL的延时,获得不同延时下两路SPAD的符合计数,如图4(b)所示。对两路SPAD的符合计数进行统计,当延时接近匹配点时,符合计数逐渐下降,说明输入分束器的两路光子发生HOM干涉,趋向从分束器的一个输出端口输出。当延时远离匹配点时,符合计数逐渐上升,说明两路光子之间的HOM干涉逐渐变弱。实验中得到HOM干涉条纹的可视度为 $45.0\% \pm 1.2\%$ ,接近弱相干态HOM干涉条纹的可视度理论上限50%<sup>[32]</sup>。实验中得到的HOM干涉条纹的半峰全宽为 $(7.9 \pm 0.3)$  ps,对应的激光单脉冲相干时间的半峰全宽为5.6 ps,与实验中使用的锁模激光器的脉冲宽度相符。

### 3 分析与讨论

与采用光纤耦合的分立SPAD探测效率相比,所设计的集成在硅光子芯片上的SPAD片上光子探测效率偏低。考虑到倒装焊集成工艺不影响SPAD自身的探测效率,二者的差别主要体现在光子收集效率上。在本实验中硅光芯片的波导输入端和输出端采用光栅耦合器。在1550 nm附近,该光栅耦合器与单模光纤的耦合损耗约为-4 dB。波导到SPAD的光耦合也采用光栅耦合器实现。实验中无法分别测出光经光栅耦合器到达SPAD光敏面的效率(光子收集效率)和SPAD自身的探测效率,仅能测量得到二者的总效果,即片上光子探测效率。通过FDTD仿真,光经过光栅耦合器到达探测器光敏面的收集效率约为-2.3 dB。在实际系统中,光栅耦合器的出射光角度为8°,且在传播过程中光束会发散,倒装焊SPAD光敏面与硅光芯片光栅耦合器的间距为30~40 μm,倒装焊对准偏差以及光束发散等都会导致光子收集效率下降。可以预见,优化光栅设计和倒装焊对准工艺可以在一定程度

上提升片上光子探测效率。如能发展出新的光耦合方案来突破光栅耦合器的理论限制,则有可能使片上光子探测效率进一步提升。此外,SPAD自身的探测效率也是片上光子探测效率的重要影响因素,采用更优性能的SPAD进行集成是提升片上光子探测效率的重要途径。近年来,研究人员提出了多种方案来提升InGaAs/InP SPAD芯片的探测效率,比如添加介质-金属反射层来增加光子的吸收<sup>[33]</sup>,采用离化工程的多个倍增区结构,提高倍增离化效率<sup>[34]</sup>等。

本实验中使4×1 SPAD阵列中1号和4号探测器工作,2号和3号探测器并未工作,主要原因是实验中发现2号和3号探测器的工作电压略高于1号和4号探测器。本实验中偏置电压加载方式为共负极加载,因此4个探测器的偏置电压相同。为了使4个探测器同时工作,在后续工作中可以在4个探测器正极分别加载偏置电压,让它们各自工作在最佳工作条件。

本实验中,混合集成SPAD阵列的电子学部分有进一步改进空间。首先,实验中测得的SPAD时间抖动较大(600 ps左右),其主要原因为SPAD雪崩读出电路中采用了270 MHz低通滤波器,其限制了读出信号带宽。为了降低SPAD的时间抖动,可使用超窄带的带阻滤波技术滤除电容响应,尽可能地保留雪崩信号的频谱信息,比如北京量子信息科学研究院发展的超窄带干涉电路<sup>[35]</sup>。其次,可以使用FPGA等方式产生门控信号和提取雪崩信号,实现驱动电路和读出电路的集成化<sup>[36]</sup>;还可以将SPAD的雪崩淬灭电路通过CMOS工艺集成到硅芯片上<sup>[37]</sup>,实现更加集成化的SPAD驱动电路。

本实验实现了工作在1550 nm波段的InGaAs/InP SPAD阵列在硅芯片上的混合集成。硅光芯片制备工艺成熟,是发展低成本、大规模量子信息系统的重要平台。将SPAD阵列集成到硅光芯片对于光量子信息应用的集成化发展十分重要,特别是在与光纤传输配合的量子通信和量子网络应用中有重要价值。值得指出的是,可见光和近红外波段的硅基SPAD在氮化硅芯片上的混合集成<sup>[13]</sup>有望用于800 nm波段的量子信息系统中,比如量子计算和量子模拟用光量子芯片,以及自由空间量子通道传输的量子通信等。可见,不同光量子信息应用对工作波段和光子芯片特性的要求不同,面向应用需求发展相应的光量子芯片混合集成技术将是片上光量子信息系统发展的关键。

### 4 结论

基于倒装焊技术实现了InGaAs/InP SPAD阵列与硅光芯片的混合集成,实验测试了集成SPAD阵列中的两个SPAD的性能,在10 °C测试环境下,得到了5%~6%的片上光子探测效率,对应暗计数率分别为 $1.6 \times 10^{-5}$  counts/gate和 $4.5 \times 10^{-5}$  counts/gate,且通过增加偏置电压可使片上探测效率进一步增大至

10%以上。此外,利用集成的 SPAD 阵列和硅光片上分束器实现了弱相干态 HOM 干涉的测量,演示了硅光芯片光子操控功能和集成的 SPAD 阵列多路单光子探测功能的系统集成。通过发展更加高效的光耦合技术,优化偏置电压加载方式和信号提取电路,有望进一步提升 InGaAs/InP SPAD 阵列与硅光芯片混合集成的多路单光子探测性能。所设计的系统集成 SPAD 阵列的硅光芯片为发展稳定的低成本小型化光量子信息系统提供了可能的途径,并且有望应用到 QKD、量子精密测量等领域。

### 参 考 文 献

- [1] Wang J W, Sciarrino F, Laing A, et al. [Integrated photonic quantum technologies](#)[J]. *Nature Photonics*, 2020, 14: 273-284.
- [2] Dai T X, Ma A Q, Mao J, et al. [A programmable topological photonic chip](#)[J]. *Nature Materials*, 2024, 23(7): 928-936.
- [3] Qiang X G, Zhou X Q, Wang J W, et al. [Large-scale silicon quantum photonics implementing arbitrary two-qubit processing](#)[J]. *Nature Photonics*, 2018, 12: 534-539.
- [4] Paesani S, Borghi M, Signorini S, et al. [Near-ideal spontaneous photon sources in silicon quantum photonics](#) [J]. *Nature Communications*, 2020, 11: 2505.
- [5] Zhang W, Zhou Q, Huang Y D, et al. [Quantum light sources based on third-order nonlinear waveguides](#)[J]. *Proceedings of SPIE*, 2012, 8554: 85540E.
- [6] Liu D N, Zheng J Y, Yu L J, et al. [Generation and dynamic manipulation of frequency degenerate polarization entangled Bell states by a silicon quantum photonic circuit](#)[J]. *Chip*, 2022, 1(1): 100001.
- [7] Vigliar C, Paesani S, Ding Y H, et al. [Error-protected qubits in a silicon photonic chip](#)[J]. *Nature Physics*, 2021, 17: 1137-1143.
- [8] Yu L J, Wang H Q, Li H, et al. [A silicon shallow-ridge waveguide integrated superconducting nanowire single photon detector towards quantum photonic circuits](#)[J]. *Chinese Physics Letters*, 2019, 36(8): 084202.
- [9] Pernice W H P, Schuck C, Minaeva O, et al. [High-speed and high-efficiency travelling wave single-photon detectors embedded in nanophotonic circuits](#)[J]. *Nature Communications*, 2012, 3: 1325.
- [10] Luo W, Cao L, Shi Y Z, et al. [Recent progress in quantum photonic chips for quantum communication and internet](#)[J]. *Light: Science & Applications*, 2023, 12(1): 175.
- [11] Chi Y L, Huang J S, Zhang Z C, et al. [A programmable qudit-based quantum processor](#)[J]. *Nature Communications*, 2022, 13: 1166.
- [12] Zheng X D, Zhang P Y, Ge R Y, et al. [Heterogeneously integrated, superconducting silicon-photonic platform for measurement-device-independent quantum key distribution](#) [J]. *Advanced Photonics*, 2021, 3(5): 055002.
- [13] Govdeli A, Straguzzi J N, Yong Z, et al. [Room-temperature waveguide-coupled silicon single-photon avalanche diodes](#)[J]. *NPJ Nanophotonics*, 2024, 1: 2.
- [14] Eraerds P, Legre M, Zhang J, et al. [Photon counting OTDR: advantages and limitations](#)[J]. *Journal of Lightwave Technology*, 2010, 28(6): 952-964.
- [15] Calliari F, Correia M M, Temporão G P, et al. [Fast acquisition tunable high-resolution photon-counting OTDR](#)[J]. *Journal of Lightwave Technology*, 2020, 38(16): 4572-4579.
- [16] Li Z P, Ye J T, Huang X, et al. [Single-photon imaging over 200 km](#)[J]. *Optica*, 2021, 8(3): 344-349.
- [17] Bruschi C, Homulle H, Antolovic I M, et al. [Single-photon avalanche diode imagers in biophotonics: review and outlook](#)[J]. *Light: Science & Applications*, 2019, 8: 87.
- [18] 童启夏, 雷勇, 申向伟, 等. [实时激光通信用自由运行 InGaAs/InP 单光子探测器\(特邀\)](#)[J]. *激光与光电子学进展*, 2024, 61(7): 0706014.
- [18] Tong Q X, Lei Y, Shen X W, et al. [Compact free-running InGaAs/InP single-photon detector for real-time space laser communication \(invited\)](#) [J]. *Laser & Optoelectronics Progress*, 2024, 61(7): 0706014.
- [19] Hughes R J, Morgan G L, Peterson C G. [Quantum key distribution over a 48 km optical fibre network](#)[J]. *Journal of Modern Optics*, 2000, 47(2/3): 533-547.
- [20] Sax R, Boaron A, Boso G, et al. [High-speed integrated QKD system](#)[J]. *Photonics Research*, 2023, 11(6): 1007-1014.
- [21] Sibson P, Erven C, Godfrey M, et al. [Chip-based quantum key distribution](#)[J]. *Nature Communications*, 2017, 8: 13984.
- [22] Li J J, Huang R Y, Morrison A P, et al. [Design of a room-temperature, sine-wave gated, InGaAs/InP SPAD based photon counting system with dead-time mitigation](#)[J]. *Journal of Lightwave Technology*, 2024, 42(8): 2887-2893.
- [23] Zhang J S, Xu H W, Zhang G, et al. [Hybrid and heterogeneous photonic integrated near-infrared InGaAs/InAlAs single-photon avalanche diode](#)[J]. *Quantum Science and Technology*, 2023, 8(2): 025009.
- [24] Weinfurter H. [Experimental Bell-state analysis](#)[J]. *Europhysics Letters*, 1994, 25(8): 559-564.
- [25] Lo H K, Curty M, Tamaki K. [Secure quantum key distribution](#)[J]. *Nature Photonics*, 2014, 8: 595-604.
- [26] Fitzke E, Bialowons L, Dolejsky T, et al. [Scalable network for simultaneous pairwise quantum key distribution via entanglement-based time-bin coding](#)[J]. *PRX Quantum*, 2022, 3(2): 020341.
- [27] Elenius P, Levine L. [Comparing flip-chip and wire-bond interconnection technologies](#)[J]. *Chip Scale Review*, 2000, 4(6): 81-87.
- [28] Zhang J, Itzler M A, Zbinden H, et al. [Advances in InGaAs/InP single-photon detector systems for quantum communication](#)[J]. *Light: Science & Applications*, 2015, 4(5): e286.
- [29] Yuan Z L, Kardynal B E, Sharpe A W, et al. [High speed single photon detection in the near infrared](#)[J]. *Applied Physics Letters*, 2007, 91(4): 041114.
- [30] Hong C K, Ou Z Y, Mandel L. [Measurement of](#)

- subpicosecond time intervals between two photons by interference[J]. *Physical Review Letters*, 1987, 59(18): 2044-2046.
- [31] Lo H K, Curty M, Qi B. Measurement-device-independent quantum key distribution[J]. *Physical Review Letters*, 2012, 108(13): 130503.
- [32] Rarity J G, Tapster P R, Loudon R. Non-classical interference between independent sources[J]. *Journal of Optics B*, 2005, 7(7): S171-S175.
- [33] Fang Y Q, Chen W, Ao T H, et al. InGaAs/InP single-photon detectors with 60% detection efficiency at 1550 nm[J]. *The Review of Scientific Instruments*, 2020, 91(8): 083102.
- [34] March S D, Jones A H, Campbell J C, et al. Multistep staircase avalanche photodiodes with extremely low noise and deterministic amplification[J]. *Nature Photonics*, 2021, 15: 468-474.
- [35] Fan Y B, Shi T T, Ji W J, et al. Ultra-narrowband interference circuits enable low-noise and high-rate photon counting for InGaAs/InP avalanche photodiodes [J]. *Optics Express*, 2023, 31(5): 7515-7522.
- [36] Yu C, Shangguan M J, Xia H Y, et al. Fully integrated free-running InGaAs/InP single-photon detector for accurate lidar applications[J]. *Optics Express*, 2017, 25(13): 14611-14620.
- [37] Nolet F, Parent S, Roy N, et al. Quenching circuit and SPAD integrated in CMOS 65 nm with 7.8 ps FWHM single photon timing resolution[J]. *Instruments*, 2018, 2(4): 19.